

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-294558

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G01R 13/20
G01R 13/28
G08C 13/00

(21)Application number : 06-112248

(71)Applicant : HIOKI EE CORP

(22)Date of filing : 27.04.1994

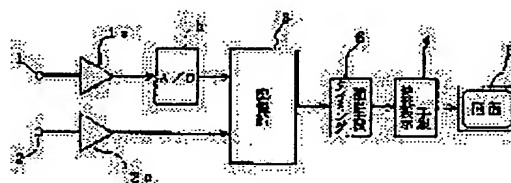
(72)Inventor : TSUKADA HIDEKAZU

(54) METHOD FOR CORRECTING DATA TIMING OF WAVEFORM RECORDING AND DISPLAY APPARATUS

(57)Abstract:

PURPOSE: To obtain a correction method in which a time lag based on the difference in a signal transfer route between an analog input waveform and a logic input waveform is corrected automatically according to sampling speed.

CONSTITUTION: The same waveform signal is stored in a storage part 3 via an analog input part 1 and a logic input part 2, the time lag of individual pieces of waveform data at this time is measured in advance regarding individual sampling speeds decided by a measuring range, the time lag is held as correction data, and the readout timing of analog waveform data and logic waveform data is corrected in an actual measuring operation.



LEGAL STATUS

[Date of request for examination] 01.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3357457

[Date of registration] 04.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-294558

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 13/20	L	8203-2G		
	X	8203-2G		
13/28	A	8203-2G		
	J	8203-2G		
G 0 8 C 13/00				

審査請求 未請求 請求項の数4 F D (全 5 頁)

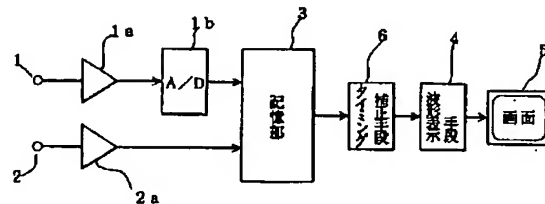
(21)出願番号	特願平6-112248	(71)出願人	000227180 日置電機株式会社 長野県上田市大字小泉字桜町81番地
(22)出願日	平成6年(1994)4月27日	(72)発明者	塚田 英一 長野県上田市大字小泉字桜町81番地 日置 電機株式会社内
		(74)代理人	弁理士 大原 拓也

(54)【発明の名称】 波形記録表示装置のデータタイミング補正方法

(57)【要約】

【目的】 アナログ入力波形とロジック入力波形の信号伝達経路の相違に基づく時間的なずれをサンプリング速度に応じて自動的に補正する。

【構成】 同一の波形信号をアナログ入力部1とロジック入力部2を介して記憶部3に記憶させ、そのときの各波形データの時間的なずれを測定レンジにより決められている各サンプリング速度について予め測定してその時間的なずれを補正データとして保持し、実際の測定時に、この補正データに基づいてアナログ波形データとロジック波形データの読み出しタイミングを補正する。



1

【特許請求の範囲】

【請求項 1】 アナログ信号を A/D 変換器を介してデジタル信号に変換して取り込むアナログ入力部と、ロジック信号をコンパレータを介して取り込むロジック入力部と、上記アナログ入力部および上記ロジック入力部からの各波形データをそれぞれ所定の記憶領域に記憶する記憶部と、同記憶部から上記各波形データを読み出して同一の表示画面上に対比的に表示させる波形表示手段とを備えてなる波形記録表示装置において、同一の波形信号を上記アナログ入力部と上記ロジック入力部を介して上記記憶部に記憶させ、そのときの各波形データの時間的なずれを測定レンジにより決められている各サンプリング速度について予め測定してその時間的なずれを補正データとして保持しておき、以後は同補正データに基づいて上記各波形データの時間的なずれを補正するようにしたことを特徴とする波形記録表示装置のデータタイミング補正方法。

【請求項 2】 上記記憶部から上記各波形データを読み出して上記表示画面に表示する際に、上記補正データによりその時間的なずれを補正するようにしたことを特徴とする請求項 1 に記載の波形記録表示装置のデータタイミング補正方法。

【請求項 3】 上記アナログ入力部および上記ロジック入力部からの各波形データを上記記憶部に記憶させる際に、上記補正データによりその時間的なずれを補正するようにしたことを特徴とする請求項 1 に記載の波形記録表示装置のデータタイミング補正方法。

【請求項 4】 上記補正データによる上記各波形データの時間的なずれ補正は、上記記憶部に対する読出しアドレスもしくは書込みアドレスを変更することにより行なわれることを特徴とする請求項 1 に記載の波形記録表示装置のデータタイミング補正方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は波形記録表示装置に関し、さらに詳しく言えば、アナログ入力チャンネルとロジック入力チャンネルとを有し、それらの各波形を同一の表示画面上に対比的に表示する際の各波形データのタイミング補正方法に関するものである。

【0002】

【従来の技術】 図 5 には、アナログ入力端子 1 とロジック入力端子 2 とを備えた波形記録表示装置の従来例が示されている。これによると、アナログ信号はそのアナログ入力端子 1 から増幅器 1 a を介して A/D 変換器 1 b に供給され、同 A/D 変換器 1 b にてデジタル信号に変換された後、RAM (ランダムアクセスメモリ) などからなる記憶部 3 の所定の記憶領域に取り込まれる。これに対して、ロジック信号はそもそもデジタル信号であるため、ロジック入力端子 2 からコンパレータ 2 a を通じて記憶部 3 の所定の記憶領域に取り込まれる。

2

【0003】 このようにして、記憶部 3 に取り込まれた各波形データは、波形表示手段 4 により適宜読み出され、CRT やプラズマディスプレイなどからなる表示画面 5 に表示される。この場合、波形表示手段 4 は CPU (中央処理ユニット) からなり、アナログ入力端子 1 とロジック入力端子 2 から同時に入力信号が取り込まれた場合、オペレータからの指示により、CPU 4 は表示画面 5 にアナログ波形とロジック波形とを重ねて表示したり、もしくは表示画面 5 を上下に分割し、その分割画面にアナログ波形とロジック波形とを対比的に表示する。

【0004】

【発明が解決しようとする課題】 ところで、入力信号を取り込むサンプリング速度があまり速くない場合には、アナログ入力とロジック入力の信号伝達経路の違いによるデータ間の時間的遅延は特に問題とならない。

【0005】 しかしながら、サンプリング速度を速くすると、信号伝達経路の違いによる影響が顕著になり、アナログ入力とロジック入力との間で時間遅延による波形データのずれが生ずることになる。すなわち、アナログ入力は A/D 変換器 1 b を通される分、ロジック入力よりも時間的に遅れて記憶部 3 に取り込まれることになる。これを防止するには、ロジック入力系に遅延線 (ディレーライン) を入れればよいのであるが、遅延線による場合、リニアな調整が困難であり、サンプリング速度に応じて適切なものを選択しなければならない、という問題がある。

【0006】 本発明は、このような課題を解決するためになされたもので、その目的は、アナログ入力波形とロジック入力波形の信号伝達経路の相違に基づく時間的なずれをサンプリング速度に応じて自動的に補正することができるようにした波形記録表示装置のデータタイミング補正方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明は、アナログ信号を A/D 変換器を介してデジタル信号に変換して取り込むアナログ入力部と、ロジック信号をコンパレータを介して取り込むロジック入力部と、上記アナログ入力部および上記ロジック入力部からの各波形データをそれぞれ所定の記憶領域に記憶する記憶部と、同記憶部から上記各波形データを読み出して同一の表示画面上に対比的に表示させる波形表示手段とを備えてなる波形記録表示装置において、同一の波形信号を上記アナログ入力部と上記ロジック入力部を介して上記記憶部に記憶させ、そのときの各波形データの時間的なずれを測定レンジにより決められている各サンプリング速度について予め測定してその時間的なずれを補正データとして保持しておき、以後は同補正データに基づいて上記各波形データの時間的なずれを補正するようにしたことを特徴としている。

【0008】 この場合、この補正データによる補正は、

3

上記記憶部から上記各波形データを読み出して上記表示画面に表示する際に行なってもよいし、これとは反対に、上記アナログ入力部および上記ロジック入力部からの各波形データを上記記憶部に記憶させる際にその時間的なずれを補正するようにしてもよい。なお、上記補正データによる上記各波形データの時間的なずれ補正は、上記記憶部に対する読出しアドレスもしくは書き込みアドレスを変更することにより行なわれる。

【0009】

【作用】記憶部にはアナログ波形データ用の第1記憶領域とロジック波形データ用の第2記憶領域が用意されており、同一の波形信号をアナログ入力部とロジック入力部を介してその第1記憶領域と第2記憶領域とに書き込む場合、各波形データ間に時間的なずれがあると、そのずれは個々のデータが書き込まれる各記憶領域のアドレスの差に現れる。

【0010】すなわち、各波形データに時間的なずれがない場合には、その各波形データはともに第1記憶領域と第2記憶領域の例えば先頭アドレスから順次書き込まれることになるが、ロジック波形データに対してアナログ波形データが時間的に遅れている場合には、ロジック波形データは第2記憶領域の例えば先頭アドレスから順次書き込まれるが、アナログ波形データは第1記憶領域において、その遅れた分先頭アドレスから数えて例えば第n番目のアドレスから順次書き込まれることになる。

【0011】この書き込みアドレスの差が、測定レンジにより設定される各サンプリング速度について測定され、予め補正データとして例えばCPUに保持される。そして、以後の波形測定時において、波形表示のため記憶部から各波形データを読み出す際、上記の補正データに基づいて例えばアナログ波形データ側の読み出しアドレスを変更することにより、両波形データの時間的なずれが補正される。

【0012】

【実施例】以下、本発明の実施例について説明する。図1には本発明に適用される波形測定表示装置のブロック線図が示されているが、先に説明した図5の従来装置と異なる点は、記憶部3とCPU（波形表示手段）4との間にタイミング補正手段6が新たに接続されている点であり、他の構成要素については同一であるため、その説明は省略する。

【0013】まず、補正データを得るため、アナログ入力端子1とロジック入力端子2に、同一の信号、例えば図2(a)に示されているような矩形波信号を入力し、それぞれの信号経路を通して記憶部3に書き込む。この場合、同記憶部3には図3に示されているように、アナログ波形データ用の第1記憶領域3aと、ロジック波形データ用の第2記憶領域3bとが用意されている。

【0014】アナログ入力系にはA/D変換器1bがあるため、サンプリング速度を速めると、このアナログ入

4

力系から得られる波形（図2(b)参照）は、ロジック入力系を通された波形（図2(c)参照）よりも時間的に遅れて記憶部3に現れることになる。

【0015】したがって、ロジック入力波形データD0, D1, D2…が第2記憶領域3bの例えば先頭アドレスから順次書き込まれるのに対し、アナログ入力波形データA0, A1, A2…は第1記憶領域3aの先頭アドレスから数えて例えば第4番目のアドレスから書き込まれることになる。

10 【0016】このように、各波形データの時間的なずれが書き込み開始アドレスの差として現れるため、CPU4はこれを補正データとして保持する。これを各レンジにより決められてるサンプリング速度について行ない、予め各レンジごとに補正データを得ておく。

【0017】このような前段階を経て、実際の測定操作に入る。この一連の操作のフローチャートが図4に示されているが、まず、測定レンジを選択する。これにより、サンプリング速度が設定され、そして、各端子1, 2からアナログ入力信号とロジック入力信号を取り込み、それぞれの入力系を介してそれらの各波形データを記憶部3の各記憶領域3a, 3bに書き込む。

【0018】しかる後、この各記憶領域3a, 3bから波形データが読み出されるとともに、表示画面5が例えば上下に2分割され、その一方にアナログ波形が表示され、他方にロジック波形が表示される。補正が必要な場合には、オペレータが図示しないキーボードなどの操作部より、CPU4に要補正の指示を出す。

30 【0019】これにより、タイミング補正手段6により波形データのタイミング補正が行なわれる。すなわち、各記憶領域3a, 3bから波形データを読み出すにあたって、図3の例で説明すると、タイミング補正手段6はロジック波形用の第2記憶領域3bからはその先頭アドレスから波形データを読み出すが、アナログ波形用の第1記憶領域3aからはその第4番目のアドレスから波形データの読み出しを開始し、この両波形データがCPU4から表示画面5に供給される。

【0020】一般的に言えば、あるサンプリング速度のとき、ロジック波形データとアナログ波形データとで、その書き込みの先頭アドレス間に例えばnアドレス分のずれ（アナログ波形の方が遅い）があるとすると、このnアドレスを補正データとして、第1記憶領域3aに対する読み出しアドレスの補正が行なわれる。

【0021】すなわち、第2記憶領域3bに対する読み出しアドレスm (m=0, 1, 2…)に対して、第1記憶領域3aに対する読み出しアドレスはm+nと補正され、これにより両波形の時間的なずれがなくなる。

【0022】上記実施例では、各波形データを記憶部3より読み出して表示する際にそのタイミングを補正するようにしているが、場合によっては、各記憶領域3a, 3bに波形データを書き込む際に、上記の補正データに

5

6

基づいて書き込みアドレスの補正を行なうようにしてもよい。

【0023】

【発明の効果】以上説明したように、本発明によれば、同一の波形信号をアナログ入力部とロジック入力部を介して記憶部に記憶させ、そのときの各波形データの時間的なずれを測定レンジにより決められている各サンプリング速度について予め測定してその時間的なずれを補正データとして保持するようにしたことにより、アナログ入力波形とロジック入力波形の信号伝達経路の相違に基

づく時間的なずれをサンプリング速度に応じて自動的に補正することができる。

【図面の簡単な説明】

【図1】本発明に適用される波形記録表示装置を示したブロック線図。

【図2】補正データを得る方法を説明するための説明図。

【図3】記憶部に設定される各記憶領域を示した模式図。

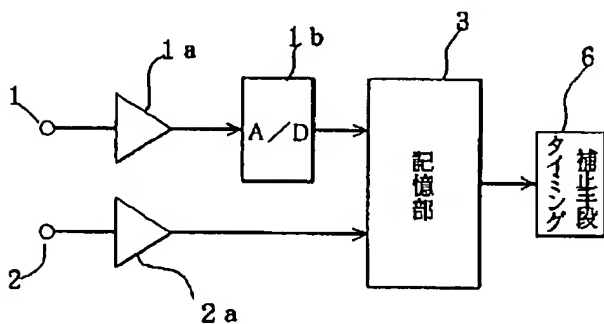
【図4】本発明の操作を説明するためのフローチャート。

【図5】従来装置のブロック線図。

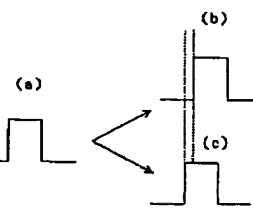
【符号の説明】

- 1 アナログ入力端子
- 1 b A/D変換器
- 2 ロジック入力端子
- 3 記憶部
- 4 波形表示手段
- 5 表示画面
- 6 タイミング補正手段

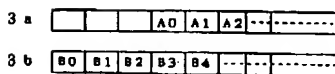
【図1】



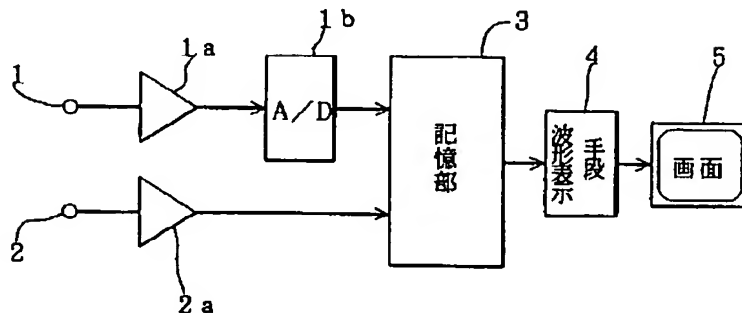
【図2】



【図3】



【図5】



【図4】

